

Ders Kodu	Ders Adı	Teorik	Uygulama	Laboratuvar	Yerel Kredi	AKTS
BME415	GÖMÜLÜ SİSTEMLER	3,00	1,00	0,00	4,00	6,00
Ders Detayı						
Dersin Dili	: İngilizce					
Dersin Seviyesi	: Lisans					
Dersin Tipi	: Seçmeli					
Ön Koşullar	: Yok					
Dersin Amacı	: Dersin amacı öğrencilere bir gömülü sistem tasarımını ve uygulamalarını öğretmektir.					
Dersin İçeriği	: FPGA kartları, VHDL programlama, VHDL operatörleri ve nitelikleri, VHDL veri nesnelere, Alt devreler, Eş zamanlı çalışma, Sıralı çalışma, FPGA uygulamaları.					
Dersin Kitabı / Malzemesi / Önerilen Kaynaklar	: * Digital Design Using Digilent FPGA Boards, LBE Books, 2012. * Introduction to Digital Design Using Digilent FPGA Boards, LBE Books, 2012.					
Planlanan Öğrenme Etkinlikleri ve Öğretme Yöntemleri	: * Haftalık ders sunumları * Ödevler					
Ders için Önerilen Diğer Hususlar	: *ActiveHDL yazılımı. * ISE Webpack veya Vivado Free Edition yazılımı. * Basys 3 veya Nexys 4 FPGA kartı.					
Dersi Veren Öğretim Elemanları	: Doç. Dr. Yalçın İşler					
Dersi Veren Öğretim Elemanı Yardımcıları	: Samet Cıkcı, Araştırma Görevlisi.					
Dersin Verilişi	: Ders sunumları, Ödevler, Laboratuvar deneyleri, Proje					
En Son Güncelleme Tarihi:	:					

Ders Öğrenme Çıktıları

Bu dersi tamamladığında öğrenci :
1 Temel FPGA ve VHDL kavramlarını kavramak.
2 FPGA programlamayı ve kartlarını öğrenmek.
3 Lojik devrelerini FPGA ile kodlamayı öğrenmek.
4 VHDL ile hafızalı devre tasarımlarını öğrenmek.
5 Tasarımdan programlamaya kadar kapsamlı bir gömülü sistem tasarımı gerçekleştirmek.

Ön Koşullar

Ders Kodu	Ders Adı	Teorik	Uygulama	Laboratuvar	Yerel Kredi	AKTS
-----------	----------	--------	----------	-------------	-------------	------

Haftalık Konular ve Hazırlıklar

	Teorik	Uygulama	Laboratuvar	Hazırlık Bilgileri	Öğretim Metodları	Dersin Öğrenme Çıktıları
1.Hafta	*FPGA ve VHDL Kavramları					
2.Hafta	*FPGA ve VHDL Kavramları					
3.Hafta	*Temel VHDL Bileşenleri					
4.Hafta	*VHDL Operatörleri ve Nitelikleri					
5.Hafta	*VHDL Veri Nesnelere		*D Tipi Flip-Flop Uygulaması			
6.Hafta	*Alt program ve Alt devreler		*Yazmaç uygulaması			
7.Hafta	*Eş zamanlı atama ve Sıralı atama					
8.Hafta	*Eş zamanlı atama ve Sıralı atama		*Sayıcı uygulaması			
9.Hafta					*Ara sınav	
10.Hafta	*VHDL Dosya işlemleri		*VHDL Dosya işlemleri			
11.Hafta	*Lojik devre tasarımı 1: Kodlayıcı ve kod çözücüler		*Kodlayıcı ve kod çözücü devreleri			
12.Hafta	*Lojik devre tasarımı 2: Toplayıcı ve Çıkarıcı devreleri		*Toplama ve çıkarma devreleri			
13.Hafta	*Lojik Devre Tasarımı 3: Frekans bölücü ve PWM üretici devreleri		*Frekans bölücü ve PWM üretici devreleri			
14.Hafta	*FPGA ile Gömülü sistem tasarımı temelleri					

Değerlendirme Sistemi %

2 Vize : 40,000
4 Final : 60,000

AKTS İş Yüğü

Aktiviteler	Sayı	Süresi(Saat)	Toplam İş Yüğü
Vize / Midterms	1	2,00	2,00
Final / Final	1	2,00	2,00
Derse Katılım / Attending lectures	14	3,00	42,00
Ders Sonrası Biresysel Çalışma / Individual study after lecture	14	2,00	28,00
Ara Sınav Hazırlık / Preparation for midterm	1	18,00	18,00
Final Sınavı Hazırlık / Preparation for final	1	24,00	24,00
Laboratuvar / Laboratory	6	2,00	12,00
Uygulama / Pratik Sonrası Biresysel Çalışma / Individual study after Application / Practice	6	8,00	48,00
			Toplam : 176,00
			Toplam İş Yüğü / 30 (Saat) : 6
			AKTS : 6,00

Program Öğrenme Çıktısı İlişkisi											
	P.Ç. 1	P.Ç. 2	P.Ç. 3	P.Ç. 4	P.Ç. 5	P.Ç. 6	P.Ç. 7	P.Ç. 8	P.Ç. 9	P.Ç. 10	P.Ç. 11
Ö.Ç. 1	0	0	0	4	0	0	0	0	0	0	0
Ö.Ç. 2	0	0	0	0	5	0	0	0	0	0	0
Ö.Ç. 3	0	0	0	0	5	0	0	0	0	0	0
Ö.Ç. 4	0	0	0	0	5	0	0	0	0	0	0
Ö.Ç. 5	0	0	0	0	4	0	0	0	0	0	0